

---

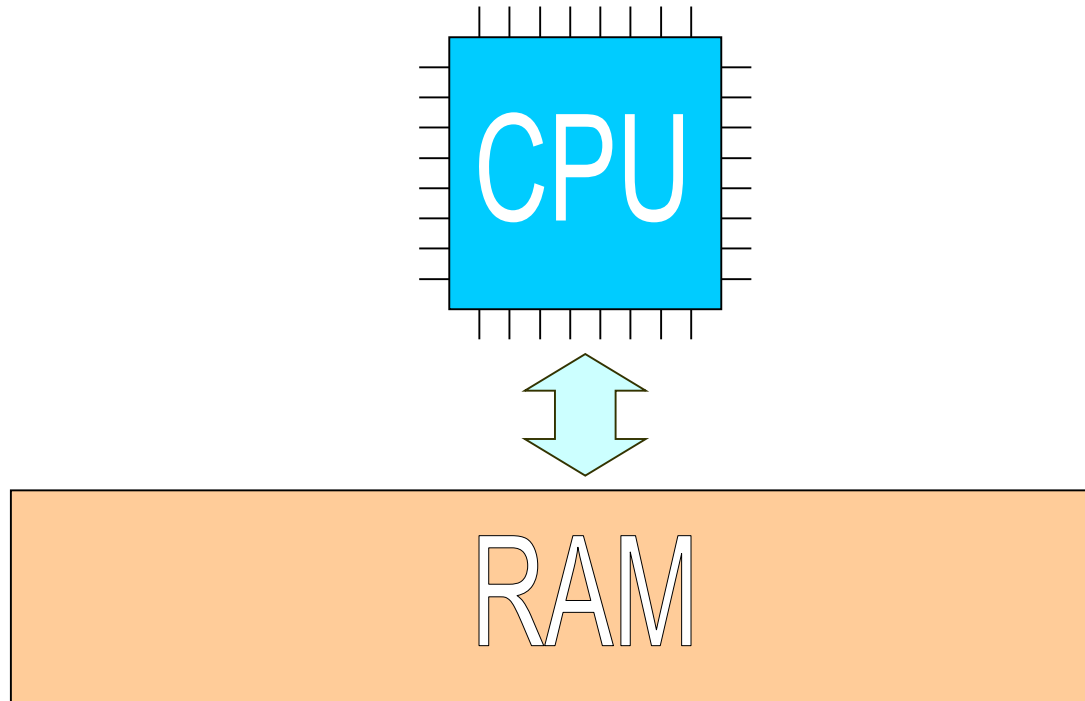
# Архитектура микропроцессоров

---

И ее эволюция

---

# Процессор и память: Команды и данные



---

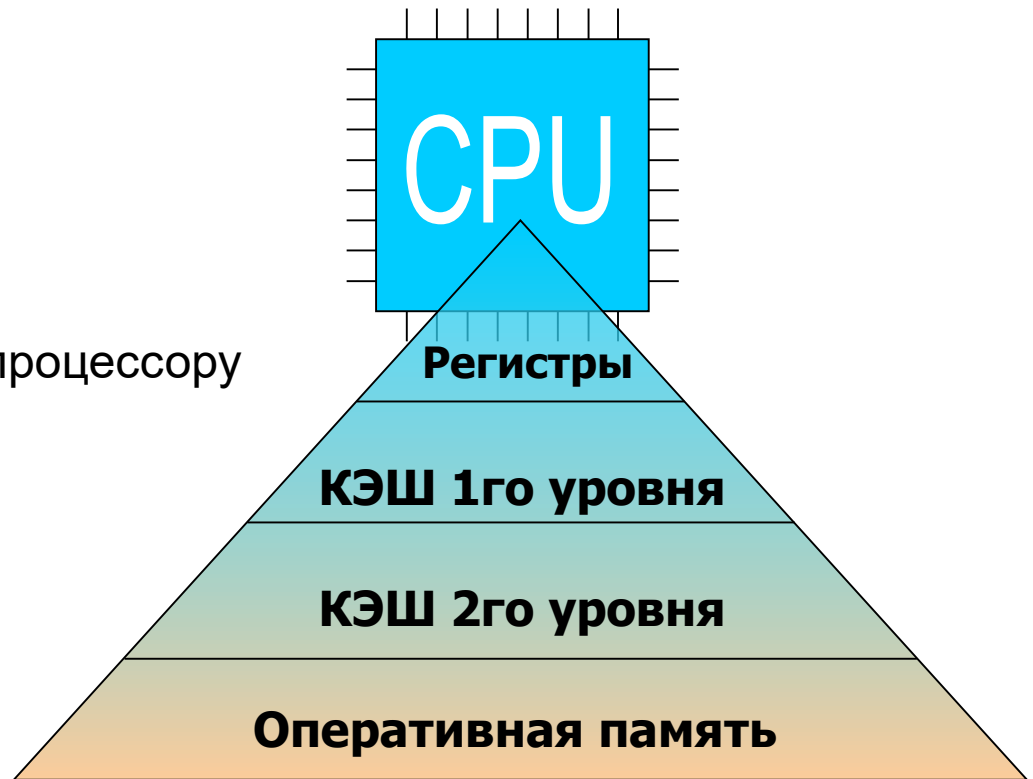
# Пути усовершенствования быстродействия

- **Улучшение доступа к памяти**
- **Увеличение производительности процессора**



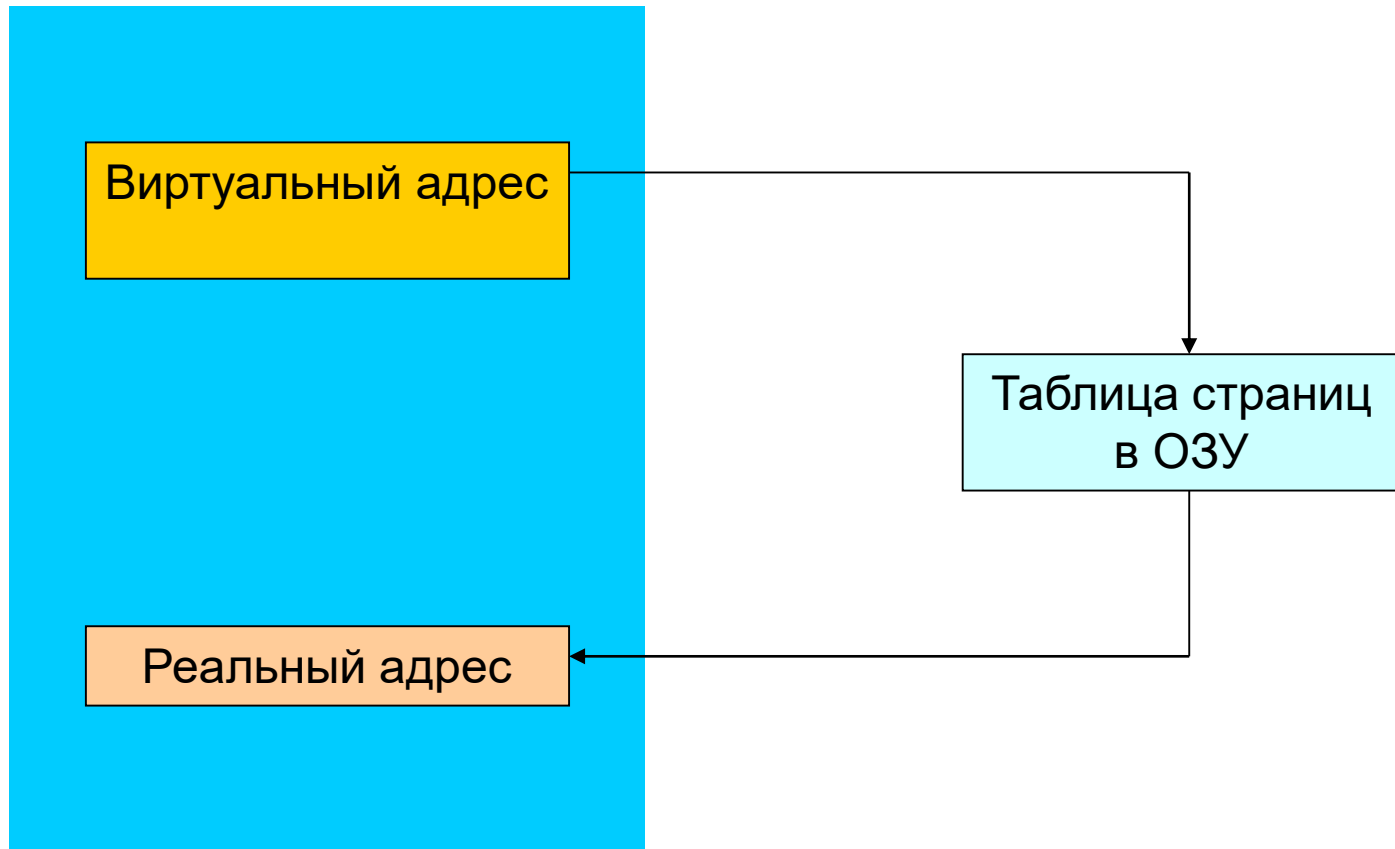
# Процессор и память: Команды и данные

- Локальность данных
- Быстрая память ближе к процессору
- Прозрачность КЭШей
- Предвыборка данных



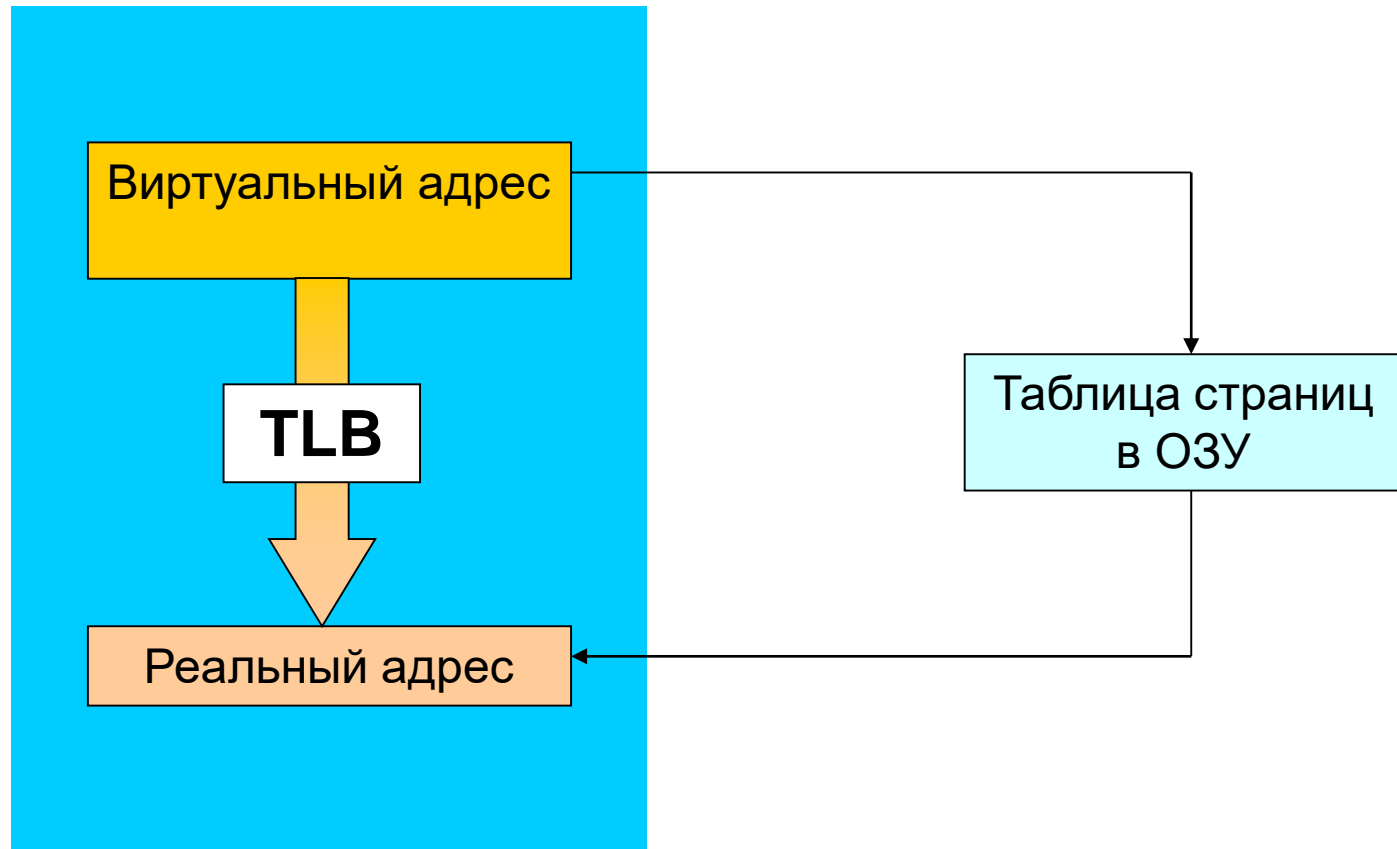
# Виртуальная память

Процессор



# Виртуальная память

Процессор



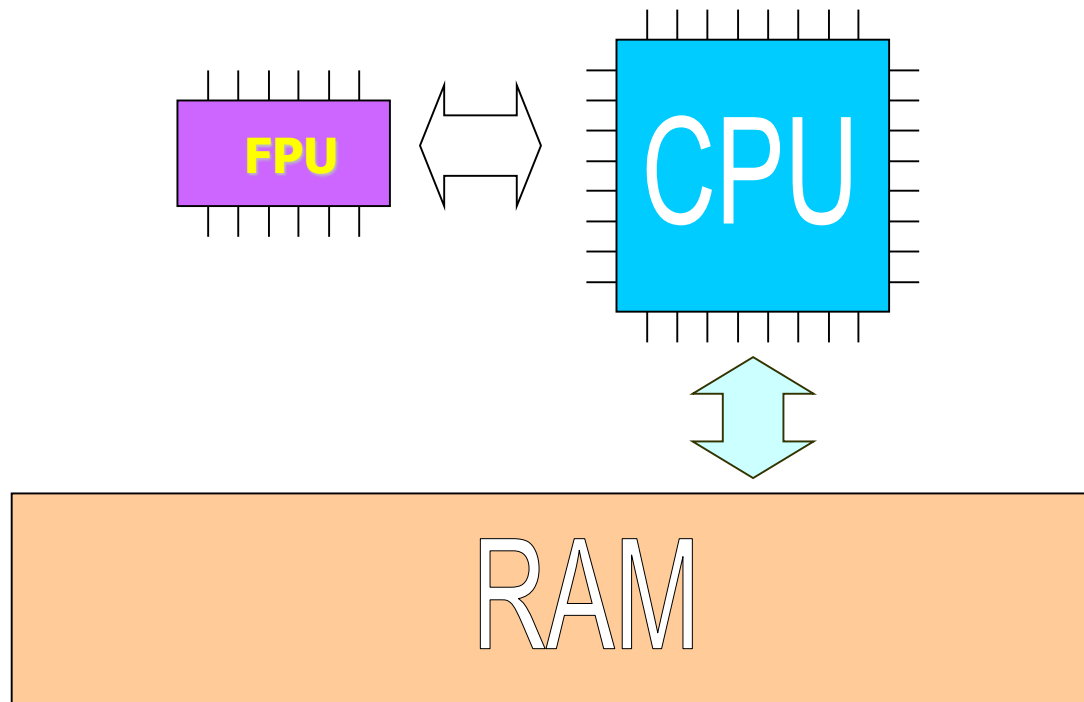
# Пути усовершенствования быстродействия

- Улучшение доступа к памяти
- **Увеличение производительности процессора**

# Пути усовершенствования быстродействия

- Улучшение доступа к памяти
- Увеличение производительности процессора
  - **Дополнительные устройства**
  - Конвейеризация
  - Упрощение команд
  - Параллелизм

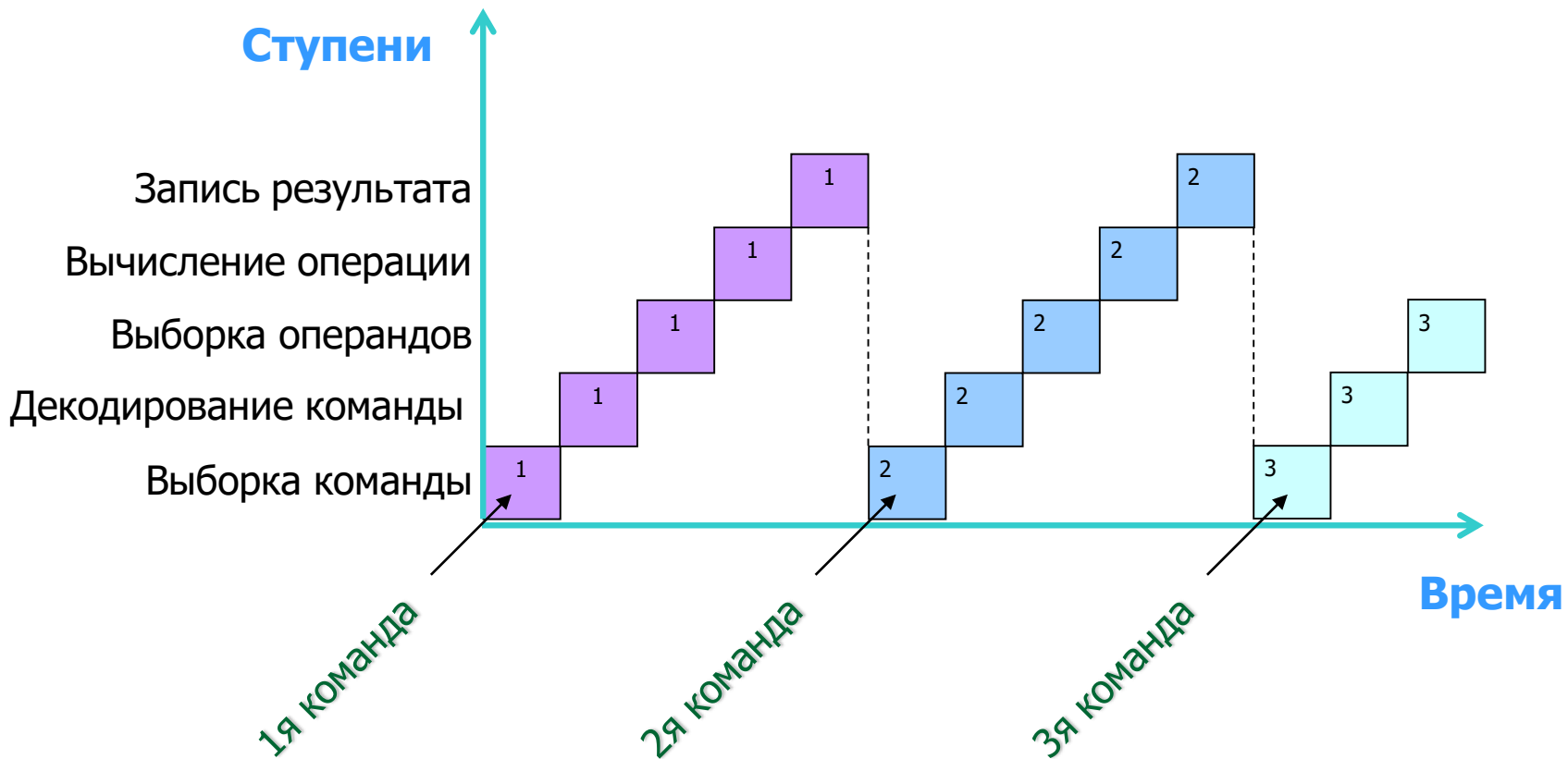
# Сопроцессор



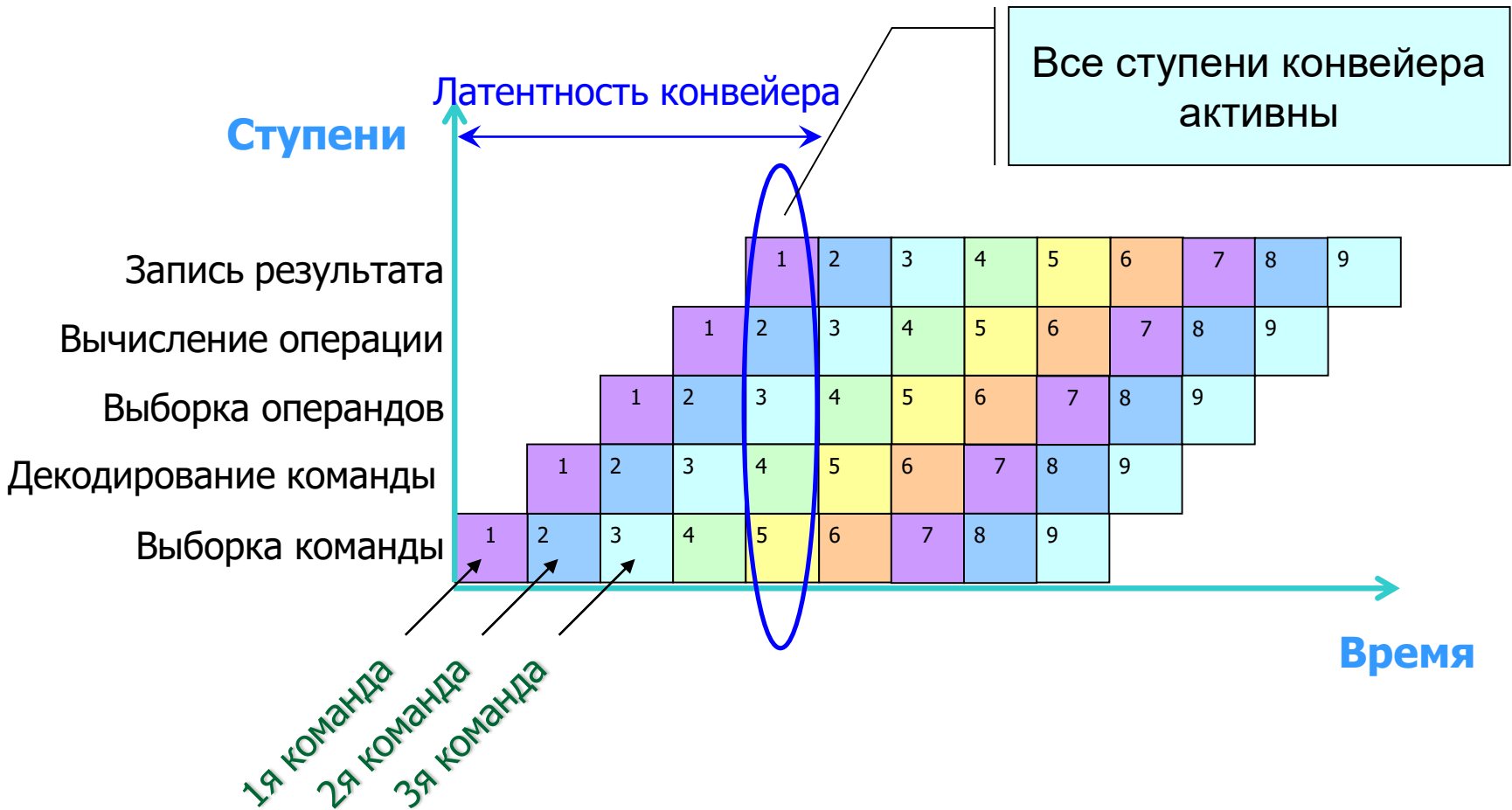
# Пути усовершенствования быстродействия

- Улучшение доступа к памяти
- Увеличение производительности процессора
  - Дополнительные устройства
  - **Конвейеризация**
  - Упрощение команд
  - Параллелизм

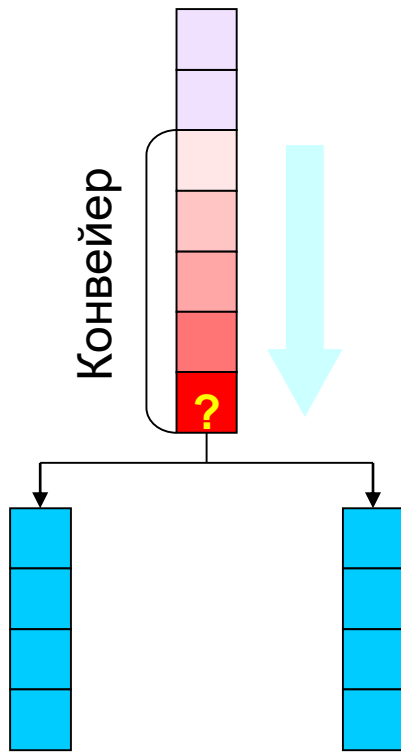
# Конвейер команд



# Конвейер команд

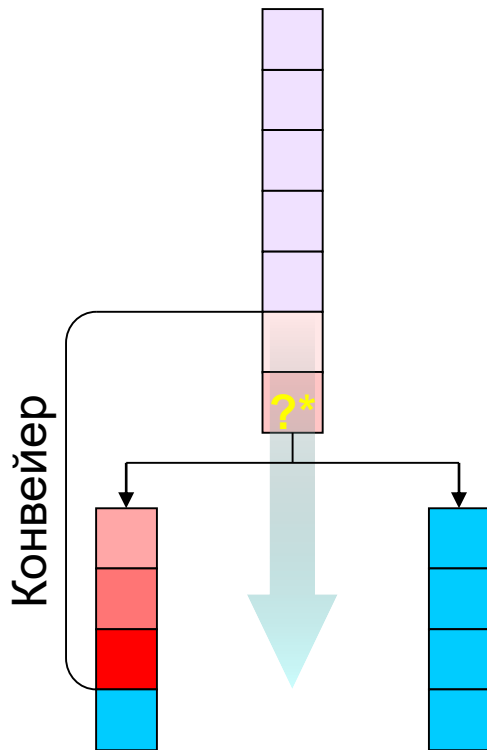


# Конвейер: Условные ветвления



**Проблема:** Условные переходы

# Конвейер: Условные ветвления

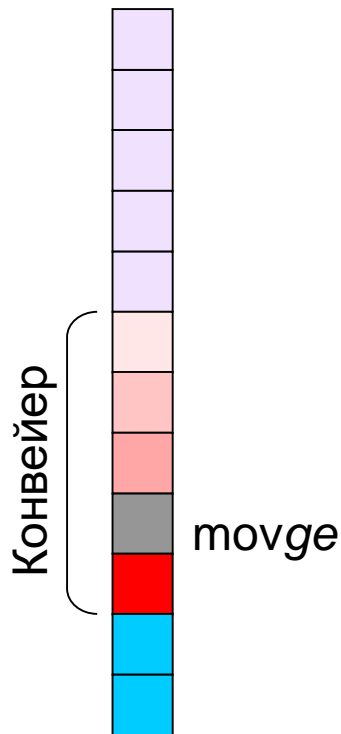


**Проблема:** Условные переходы

**Решения:**

- Спекулятивное исполнение с предсказанием переходов
- Использование условных команд
- Использование предикатных регистров

# Конвейер: Условные ветвления

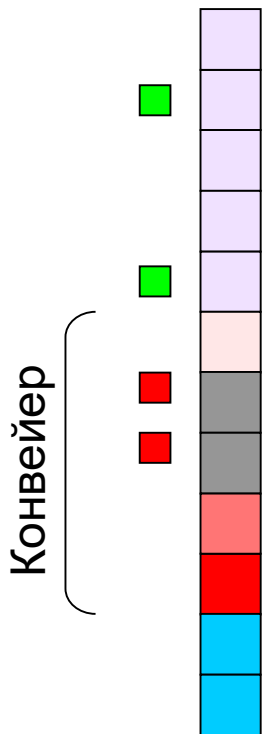


**Проблема:** Условные переходы

**Решения:**

- Спекулятивное исполнение с предсказанием переходов
- Использование условных команд
- Использование предикатных регистров

# Конвейер: Условные ветвления



**Проблема:** Условные переходы

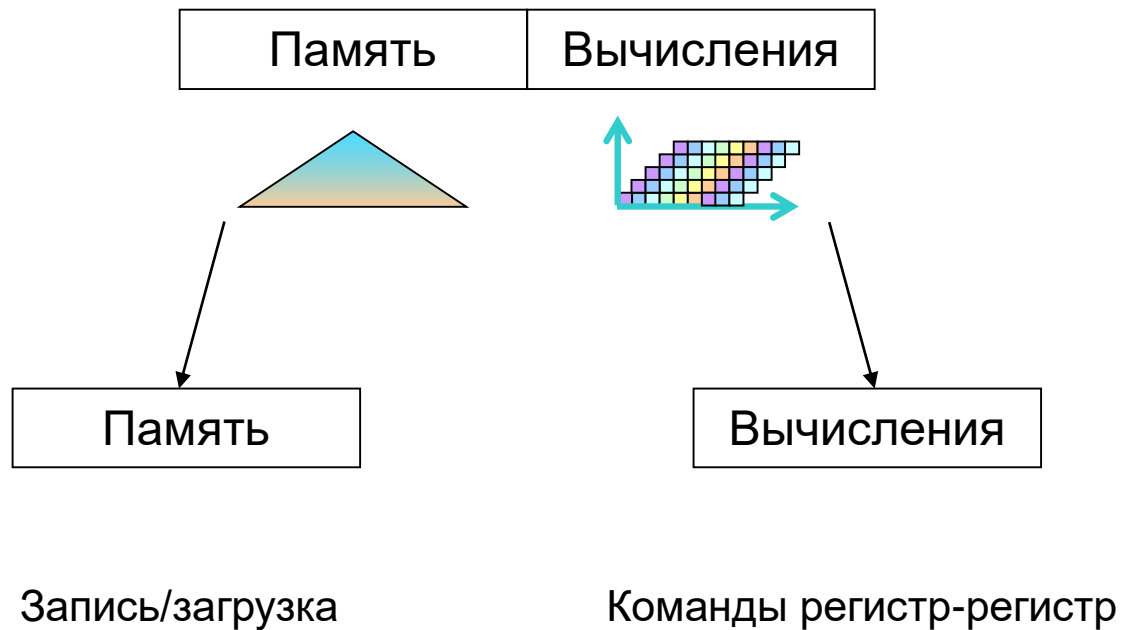
**Решения:**

- Спекулятивное исполнение с предсказанием переходов
- Использование условных команд
- Использование предикатных регистров

# Пути усовершенствования быстродействия

- Улучшение доступа к памяти
- Увеличение производительности процессора
- Дополнительные устройства
  - Конвейеризация
  - Упрощение команд
  - Параллелизм

# RISC архитектура



# CISC

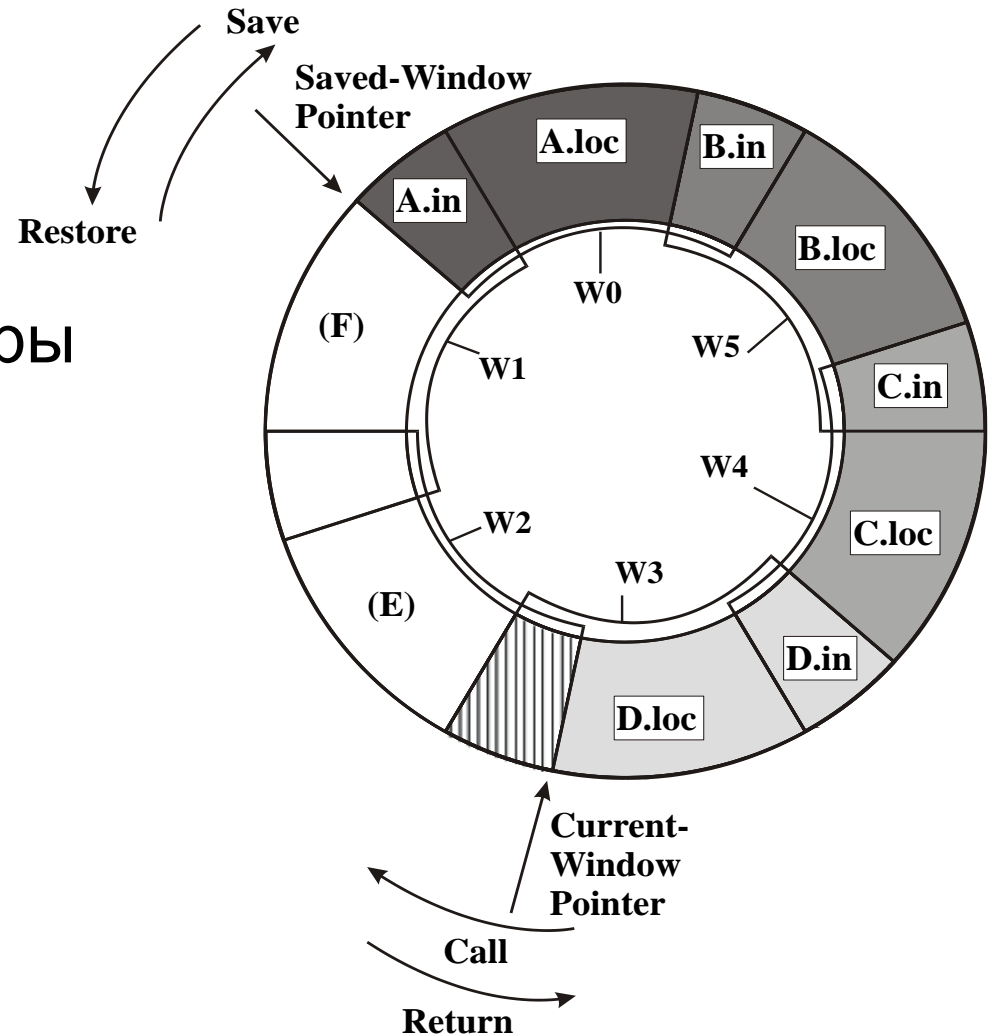
- Большое количество команд
- Много типов данных
- Различная длина инструкций
- Небольшое количество регистров
- Ориентация на процессор

# RISC

- Уменьшенное количество команд
- Только основные типы
- Фиксированная длина инструкций
- Большой регистровый файл
- Более глубокое использование компилятора

# Регистровый файл в RISC

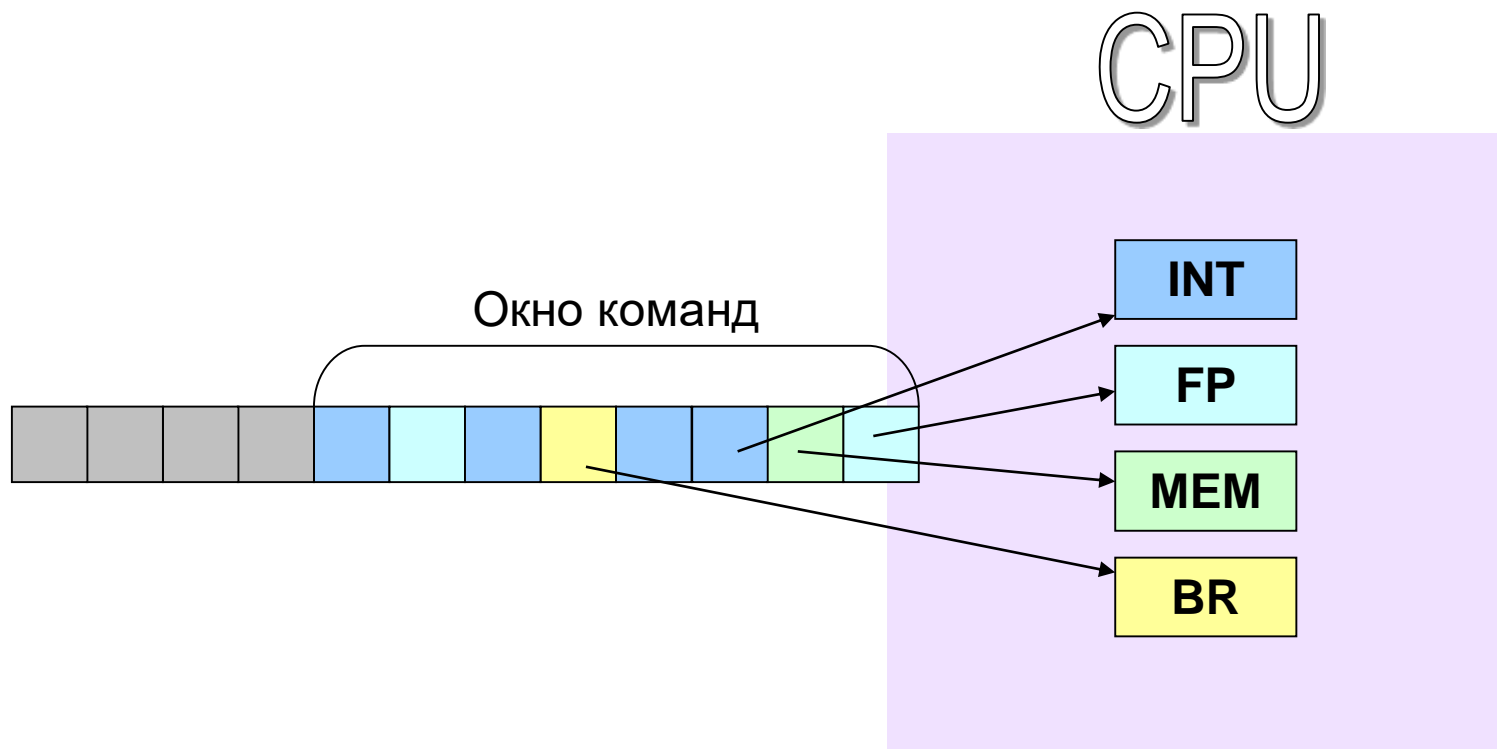
- Виртуальные регистры
- Перекрытие окон
- Сохранение в RAM



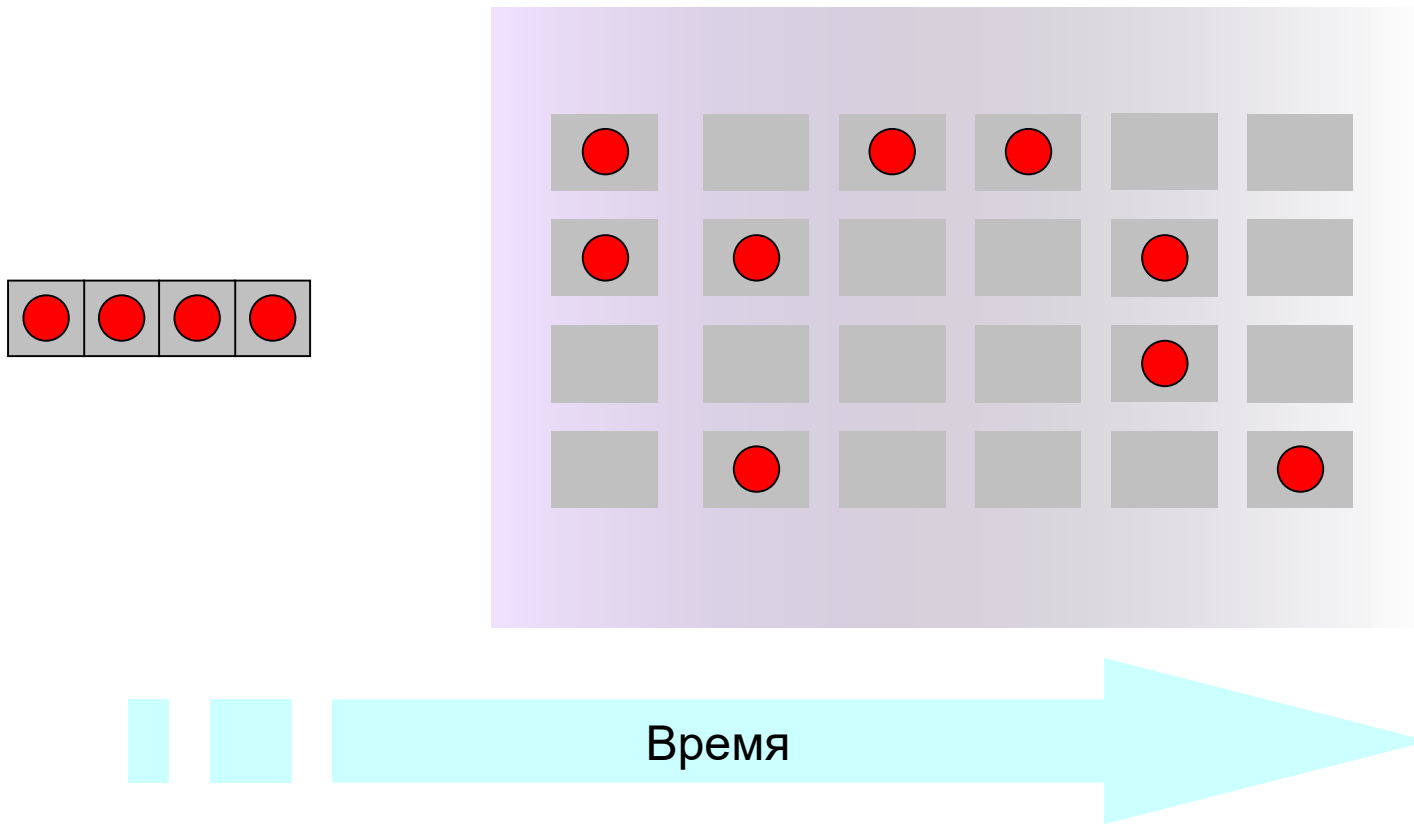
# Пути усовершенствования быстродействия

- Улучшение доступа к памяти
- Увеличение производительности процессора
  - Дополнительные устройства
  - Конвейеризация
  - Упрощение команд
  - **Параллелизм**

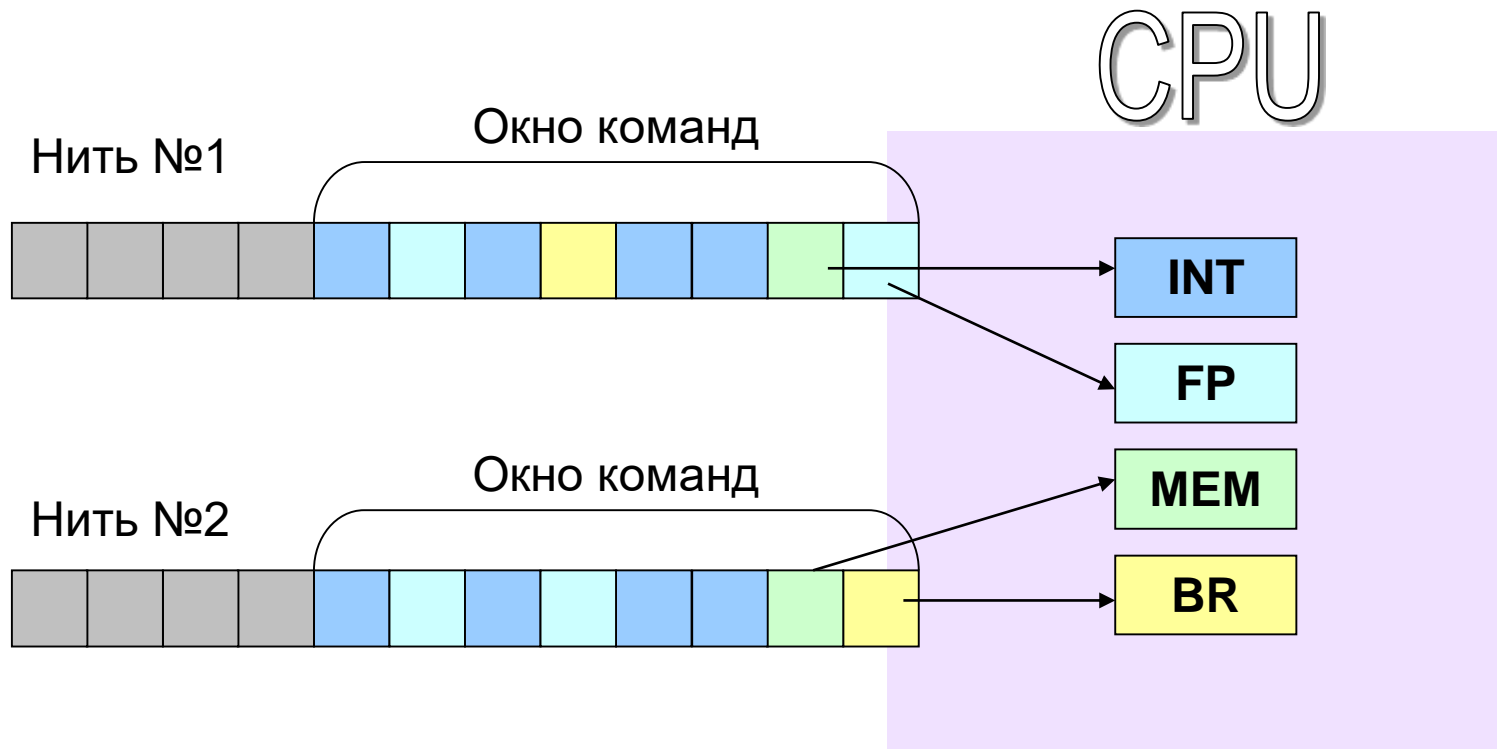
# Параллелизм на уровне инструкций (ILP)



# Параллелизм на уровне инструкций (ILP)

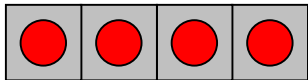


# Параллелизм на уровне нитей (TLP)

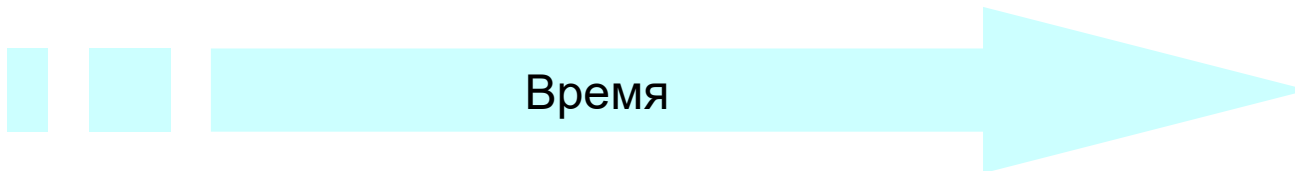
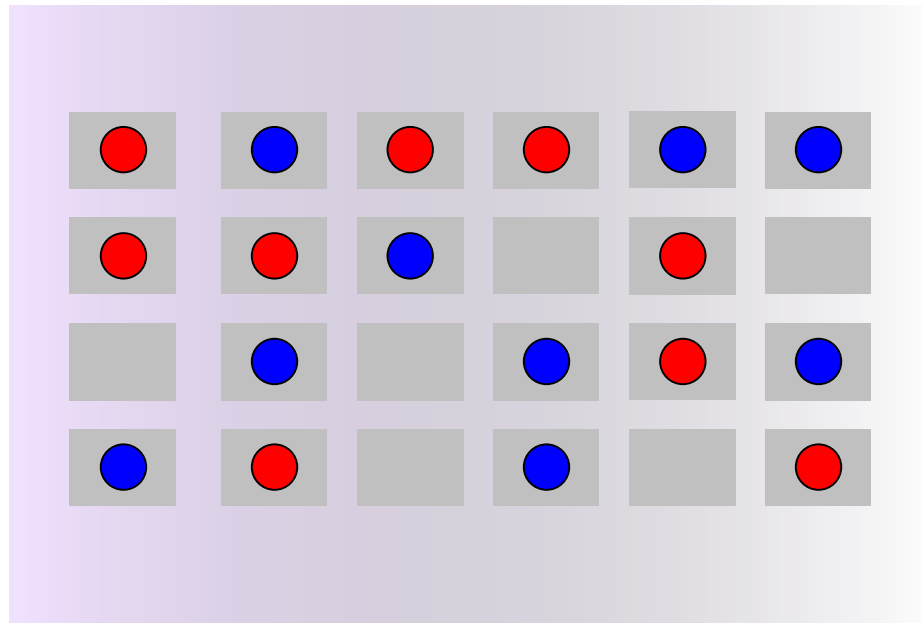
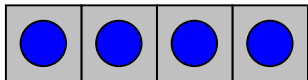


# Параллелизм на уровне нитей (TLR)

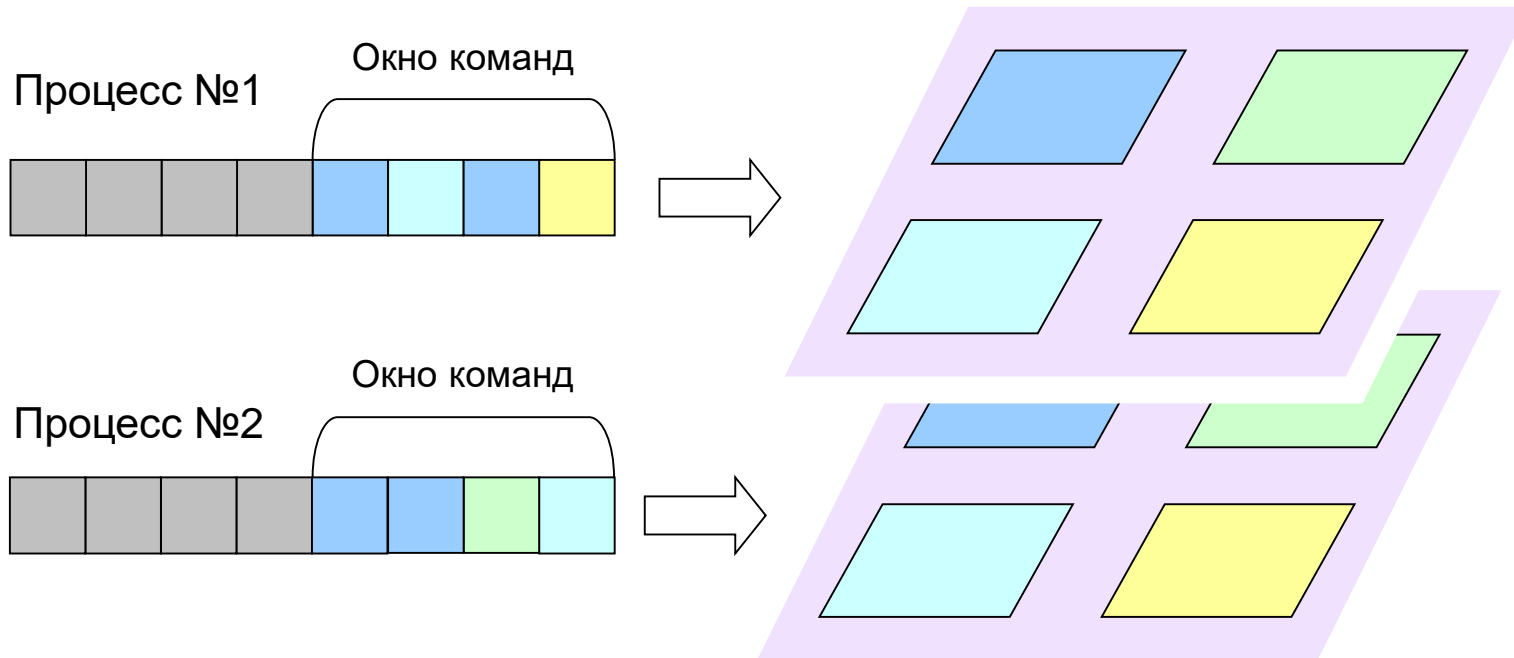
Нить №1



Нить №2



# Многоядерность (Multi-Core)



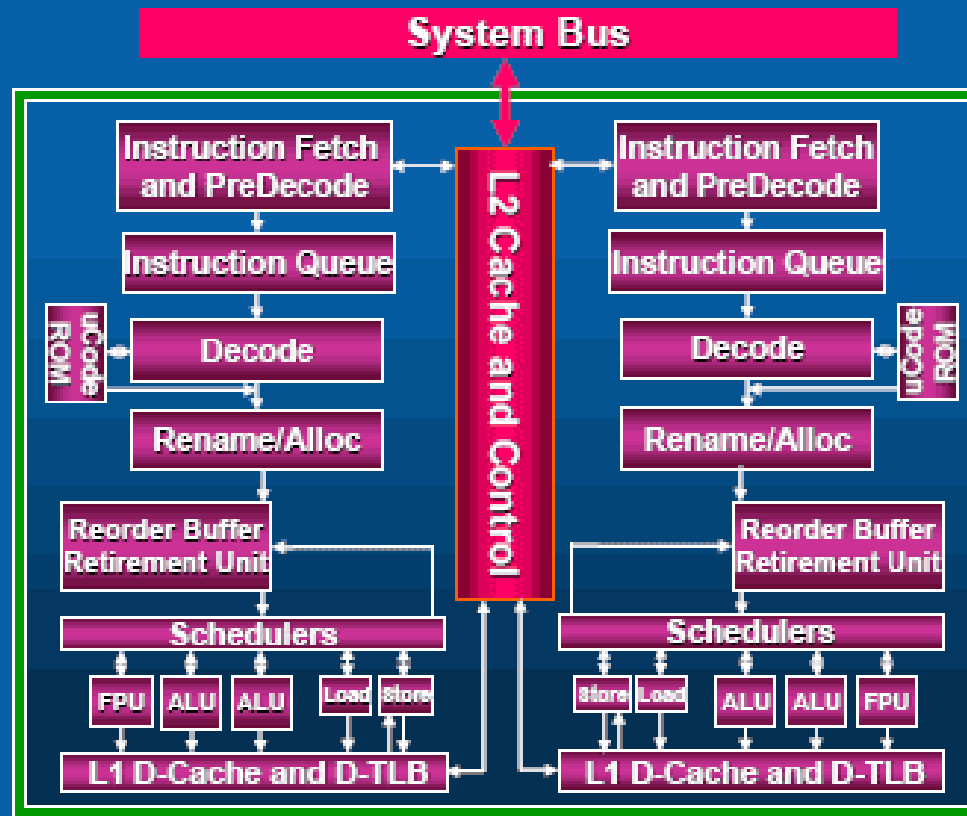
---

# POWER

- Традиционные RISC-черты
    - Фиксированная длина команд
    - Архитектура регистр-регистр
    - Простые способы адресации
    - Простые команды
    - Большой регистровый файл
  - Другие особенности POWER
    - Три исполнительных устройства с независимыми наборами регистров
    - Небольшое расширение набора команд (сохранение нескольких регистров и т.п.)
    - Условные переходы: 8 условных регистров, локальных для устройства переходов и специальный бит в коде операции
-

# Core 2 Duo

## Merom, Conroe and Woodcrest Block Diagram

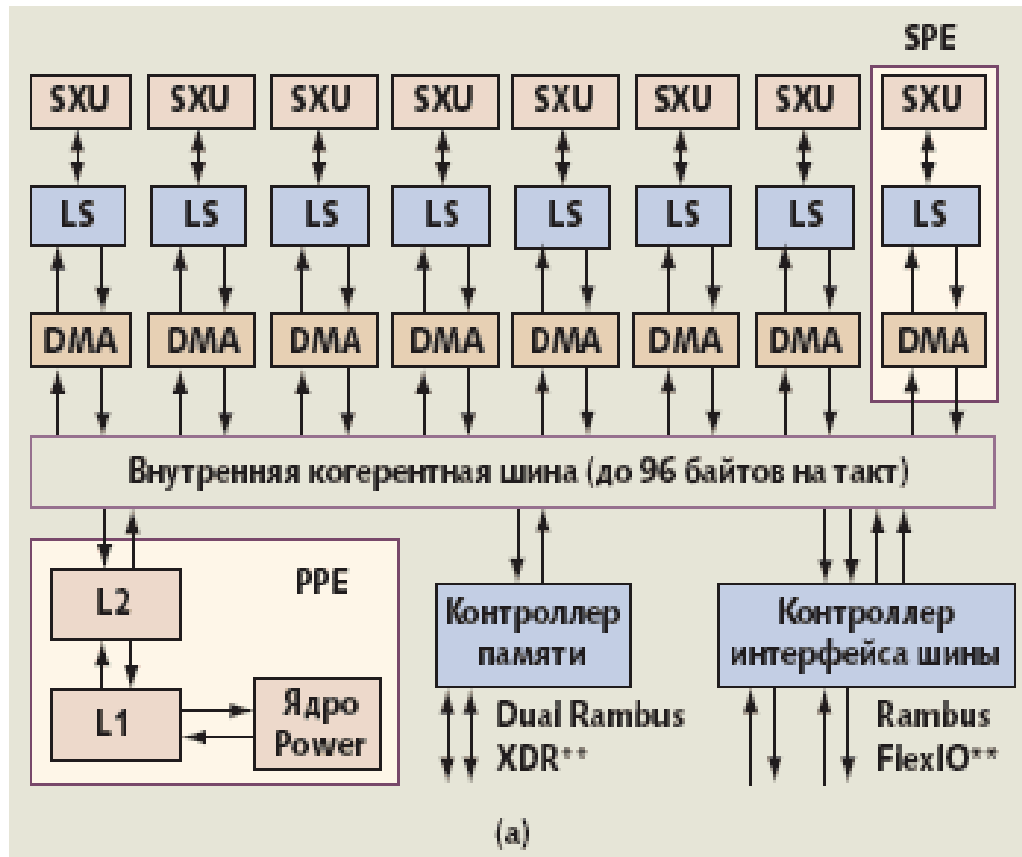


---

# Особенности Core 2 Duo

- **Intel Wide Dynamic Execution** (14 стадий конвейера, до 4х инструкций за такт в каждом ядре)
  - **Intel Smart Memory Access** (Оптимизация доступа к памяти, в т.ч. Memory Disambiguation)
  - **Intel Advanced Smart Cache** (Общий КЭШ 2го уровня, динамически распределяемый между ядрами)
  - **Intel Advanced Digital Media Boost** (128-битный SSE, расширенный набор команд)
  - **Intel Intelligent Power Capability**
  - **Сниженное энергопотребление**
  - **Micro-ops fusion и macrofusion**
-

# Архитектура CELL



---

# Особенности архитектуры CELL

- Ориентированность на SIMD-архитектуру
  - Внутренняя широкополосная шина
  - Управляющий процессорный элемент (PPE)
    - 64 битное ядро архитектуры POWER
    - In-order исполнение инструкций
    - Два вычислительных потока
  - Использование синергетических процессорных элементов (SPE) для вычислений
    - Локальная память 256 Кб
    - Прямой доступ к памяти (DMA)
  - Использование многопроцессорных CELL-систем
-